

IR[31 : 26]		Mnem.	d	Effect
Data Transfer, mem = M[RS1 + imm]				
100000	0x20	lb	1	RD=Sext(mem)
100001	0x21	lh	2	RD=Sext(mem)
100011	0x23	lw	4	RD=mem
100100	0x24	lbu	1	RD=0 <sup>24</sup> mem
100101	0x25	lhu	2	RD=0 <sup>16</sup> mem
101000	0x28	sb	1	mem=RD[7 : 0]
101001	0x29	sh	2	mem=RD[15 : 0]
101011	0x2b	sw	4	mem=RD
Arithmetic, Logical Operation				
001000	0x08	addi		RD=RS1 + imm
001001	0x09	addiu		RD=RS1 + imm (no overflow)
001010	0x0a	subi		RD=RS1 - imm
001011	0x0b	subiu		RD=RS1 - imm (no overflow)
001100	0x0c	andi		RD=RS1 $\wedge$ imm
001101	0x0d	ori		RD=RS1 $\vee$ imm
001110	0x0e	xori		RD=RS1 $\oplus$ imm
001111	0x0f	lhgi		RD=imm 0 <sup>16</sup>
Test Set Operation				
011000	0x18	clri		RD=(false ? 1 : 0)
011001	0x19	sgri		RD=(RS1 > imm ? 1 : 0)
011010	0x1a	seqi		RD=(RS1 = imm ? 1 : 0)
011011	0x1b	sgei		RD=(RS1 $\geq$ imm ? 1 : 0)
011100	0x1c	slsi		RD=(RS1 < imm ? 1 : 0)
011101	0x1d	snei		RD=(RS1 $\neq$ imm ? 1 : 0)
011110	0x1e	slei		RD=(RS1 $\leq$ imm ? 1 : 0)
011111	0x1f	seti		RD=(true ? 1 : 0)
Control Operation				
000100	0x04	beqz		PC=PC+4+(RS1 = 0 ? imm : 0)
000101	0x05	bnez		PC=PC+4+(RS1 $\neq$ 0 ? imm : 0)
000110	0x06	jr		PC=RS1
000111	0x07	jalr		R31=PC+4; PC = RS1

Table 1: I-type instruction layout

IR[31 : 26]		IR[5 : 0]		Mnem.	Effect
Shift Operation					
000000	0x00	000000	0x00	slli	RD=RS1 << SA
000000	0x00	000001	0x01	slai	RD=RS1 << SA (arith.)
000000	0x00	000010	0x02	srl	RD=RS1 >> SA
000000	0x00	000011	0x03	srai	RD=RS1 >> SA (arith.)
000000	0x00	000100	0x04	sll	RD=RS1 << RS2[4:0]
000000	0x00	000101	0x05	sla	RD=RS1 << RS2[4:0] (ar.)
000000	0x00	000110	0x06	srl	RD=RS1 >> RS2[4:0]
000000	0x00	000111	0x07	sra	RD=RS1 >> RS2[4:0] (ar.)
Data Transfer					
000000	0x00	010000	0x10	movs2i	RD=SA
000000	0x00	010001	0x11	movi2s	SA=RS1
Arithmetic, Logical Operation					
000000	0x00	100000	0x20	add	RD=RS1+RS2
000000	0x00	100001	0x21	addu	RD=RS1+RS2 (no overfl.)
000000	0x00	100010	0x22	sub	RD=RS1-RS2
000000	0x00	100011	0x23	subu	RD=RS1-RS2 (no overfl.)
000000	0x00	100100	0x24	and	RD=RS1 $\wedge$ RS2
000000	0x00	100101	0x25	or	RD=RS1 $\vee$ RS2
000000	0x00	100110	0x26	xor	RD=RS1 $\oplus$ RS2
000000	0x00	100111	0x27	lhg	RD=RS2[15:0] 0 <sup>16</sup>
Test Set Operation					
000000	0x00	101000	0x28	clr	RD=( false ? 1 : 0)
000000	0x00	101001	0x29	sgr	RD=(RS1 > RS2 ? 1 : 0)
000000	0x00	101010	0x2a	seq	RD=(RS1 = RS2 ? 1 : 0)
000000	0x00	101011	0x2b	sge	RD=(RS1 $\geq$ RS2 ? 1 : 0)
000000	0x00	101100	0x2c	sls	RD=(RS1 < RS2 ? 1 : 0)
000000	0x00	101101	0x2d	sne	RD=(RS1 $\neq$ RS2 ? 1 : 0)
000000	0x00	101110	0x2e	sle	RD=(RS1 $\leq$ RS2 ? 1 : 0)
000000	0x00	101111	0x2f	set	RD=( true ? 1 : 0)

Table 2: R-type instruction layout

IR[31 : 26]		Mnem.	Effect
Control Operation			
000010	0x02	j	PC = PC + 4 + imm
000011	0x03	jal	R31 = PC + 4; PC = PC + 4 + imm
111110	0x3e	trap	trap = 1; EDATA = imm;
111111	0x3f	rfe	SR = ESR; PC' = EPC; DPC = EDPC

Table 3: J-type instruction layout